

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-225105

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H02M 3/155

(21)Application number : 10-030011

(71)Applicant : TOYOTA AUTOM LOOM WORKS LTD

(22)Date of filing : 12.02.1998

(72)Inventor : TATEISHI TETSUO

(30)Priority

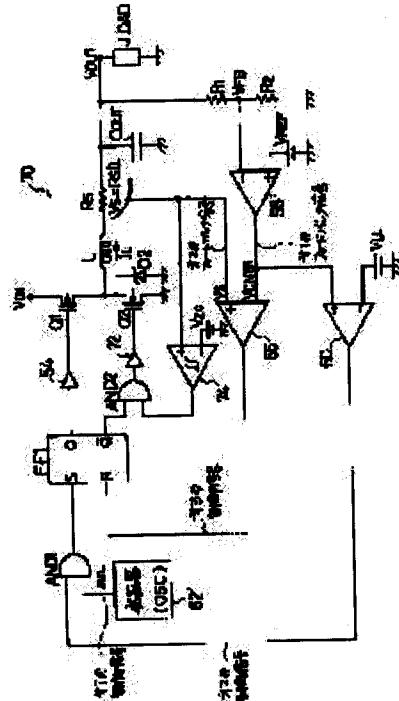
Priority number : 97 797990 Priority date : 12.02.1997 Priority country : US

(54) DC-DC CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a DC-DC converter capable of maintaining high efficiency over a wide current range and a low ripple voltage in the full-load range.

SOLUTION: A current which flows in an inductor L is adjusted and an output voltage is stabilized by controlling switching transistors Q1 and Q2. A differential amplifier 58 amplifies the difference between the output voltage VOUT and a reference voltage VREF to output it as a first feedback signal. A comparator 56 compares a second feedback signal, a substituted value of the current of the inductor with the first feedback signal. If the second feedback signal is larger than the first one, a flip-flop FF1 is reset and the switching transistor Q1 is turned off.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-225105

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.⁶
H 02 M 3/155

識別記号

F I
H 02 M 3/155

H

審査請求 未請求 請求項の数25 O.L (全 17 頁)

(21)出願番号 特願平10-30011

(22)出願日 平成10年(1998)2月12日

(31)優先権主張番号 08/797990

(32)優先日 1997年2月12日

(33)優先権主張国 米国(US)

(71)出願人 000003218

株式会社豊田自動織機製作所

愛知県刈谷市豊田町2丁目1番地

(72)発明者 立石 哲夫

愛知県刈谷市豊田町2丁目1番地 株式会

社豊田自動織機製作所内

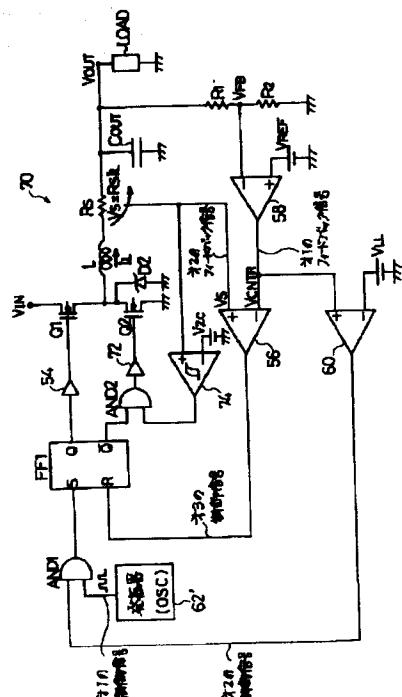
(74)代理人 弁理士 大曾 義之

(54)【発明の名称】 DC/DCコンバータ

(57)【要約】

【課題】 幅広い電流範囲に渡って高効率を維持し、全負荷範囲で低リップル電圧が維持されるDC/DCコンバータを提供する。

【解決手段】 スイッチングトランジスタQ1及びQ2を制御することによりインダクタLを流れる電流を調整し、出力電圧を安定させる。差動増幅器58は、出力電圧Voutと参照電圧Vrefとの差を増幅して第1のフィードバック信号として出力する。コンパレータ56は、インダクタ電流の代用値である第2のフィードバック信号と第1のフィードバック信号とを比較する。第2のフィードバック信号が第1のフィードバック信号よりも大きければ、フリップフロップFF1がリセットされ、スイッチングトランジスタQ1がターンオフされる。



【特許請求の範囲】

【請求項1】 負荷に接続される出力端子と、エネルギーを蓄積するインダクタおよび上記出力端子に接続されてその出力端子に保持すべき電圧を供給する出力コンデンサを含む出力回路と、上記インダクタに接続され、スイッチ制御信号に従って入力電圧を上記インダクタへ供給するスイッチと、上記インダクタに接続され、フリー・ホイール電流を流すと共に、上記出力端子から上記インダクタを介して流れる逆電流を実質的に防ぐ整流回路と、上記出力端子において上記保持すべき電圧が保たれるようにするための上記スイッチ制御信号を上記スイッチに供給するスイッチ制御回路とから構成され、そのスイッチング制御回路は、上記出力端子へ供給される電圧を監視し、その出力端子へ保持すべき電圧を供給するための目標インダクタ電流に対応する第1のフィードバック信号を生成する第1の回路と、上記インダクタから上記出力端子へのインダクタ電流を監視し、そのインダクタ電流に対応する第2のフィードバック信号を生成する第2の回路と、第1、第2および第3の制御信号をそれぞれ受信するための第1、第2および第3の入力端子を有し、上記第1および第2の制御信号が有効である時に上記スイッチを閉じさせるための上記スイッチ制御信号を、上記第3の制御信号が有効である時に上記スイッチを開かせるための上記スイッチ制御信号を出力する論理回路と、上記論理回路の第1の入力端子に上記第1の制御信号を供給するためのパルス生成回路と、上記第2のフィードバック信号が上記第1のフィードバック信号よりも大きい時に有効となる上記第3の制御信号を上記論理回路の第3の入力端子に供給する第3の回路と、上記第1のフィードバック信号が予め設定された値よりも大きい値の時に有効となる上記第2の制御信号を上記論理回路の第2の入力へ供給する第4の回路で構成されるDC/DCコンバータ。

【請求項2】 上記スイッチ制御回路が、上記インダクタを介して流れるインダクタ電流を動的に調整するための上記第1のフィードバック信号をフィルタリングするローパスフィルタをさらに備える請求項1に記載のDC/DCコンバータ。

【請求項3】 入力電圧よりも低い定電圧を出力する請求項1に記載のDC/DCコンバータ。

【請求項4】 前記スイッチが、上記インダクタの一端と上記整流回路との接合部と入力電圧との間に接続され、且つ上記インダクタの他端が上記出力端子に接続される請求項3に記載のDC/DCコンバータ。

【請求項5】 上記整流回路が、接地と上記インダクタとの間に設けられたダイオードである請求項4に記載の

DC/DCコンバータ。

【請求項6】 上記整流回路が、上記スイッチと上記インダクタとの接合部と接地との間に設けられたスイッチングトランジスタと、上記インダクタ電流の極性を示す反転極性信号を生成するため、上記第2のフィードバック信号または上記スイッチングトランジスタに印加される電圧のどちらか一方とゼロクロス参照電圧とを比較するコンバレータと、上記反転極性信号が上記インダクタ電流が上記出力端子から上記インダクタへ向かう方向に流れていることを示すときに、上記スイッチングトランジスタを非動作状態にし、上記反転極性信号が上記インダクタ電流が上記インダクタから上記出力端子へ向かう方向に流れていることを示すときに、上記スイッチングトランジスタを上記スイッチと逆位相に切り換えるゲートとから構成される請求項4に記載のDC/DCコンバータ。

【請求項7】 上記論理回路が、上記第1および第2の制御信号をそれぞれ第1および第2の入力端子で受信するANDゲート、及びそのANDゲートの出力をセット端子で受信し上記第3の制御信号をリセット端子で受信するフリップフロップ回路から構成される請求項1に記載のDC/DCコンバータ。

【請求項8】 上記パルス生成回路が発振器である請求項1に記載のDC/DCコンバータ。

【請求項9】 上記パルス生成回路が、上記第3の回路からの第3の制御信号に従って上記論理回路の第1の入力端子に入力される一定時間のデューティーサイクルパルスを生成するワンショット発生回路である請求項1に記載のDC/DCコンバータ。

【請求項10】 入力電圧よりも高い定電圧を出力する請求項1に記載のDC/DCコンバータ。

【請求項11】 上記インダクタの一端が上記入力電圧に接続され、上記インダクタの他端が上記整流回路に接続され、上記スイッチが上記整流回路と接地との間に設けられる請求項10に記載のDC/DCコンバータ。

【請求項12】 上記整流回路が、上記インダクタの一端と上記スイッチとの接合部と上記出力端子との間に接続されるダイオードである請求項11に記載のDC/DCコンバータ。

【請求項13】 入力電圧よりも高いまたは低い定電圧を選択的に出力する請求項1に記載のDC/DCコンバータ。

【請求項14】 上記インダクタが、上記入力電圧と上記スイッチとの間に接続される第1の巻線および上記整流回路と接地との間に接続される第2の巻線を有するトランジスである請求項13に記載のDC/DCコンバータ。

【請求項15】 上記整流回路が、上記出力端子と上記トランジスの第2の巻線との間に接続されるダイオードである請求項14に記載のDC/DCコンバータ。

【請求項16】 負荷に接続される出力端子と、エネルギーを蓄積するインダクタおよび上記出力端子に接続されてその出力端子に保持すべき電圧を供給する出力コンデンサを含む出力回路と、上記インダクタに接続され、スイッチ制御信号に従って入力電圧を上記インダクタへ供給するスイッチ手段と、上記インダクタに接続され、フリーホール電流を流すと共に、上記出力端子から上記インダクタを介して流れる逆電流を実質的に防ぐ整流手段と、

上記出力端子において上記保持すべき電圧が保たれるようにするための上記スイッチ制御信号を上記スイッチ手段に供給するスイッチ制御手段とを有し、

上記スイッチ制御手段が、

上記出力端子へ供給される電圧を監視し、その出力端子へ保持すべき電圧を供給するための目標インダクタ電流に対応する第1のフィードバック信号を生成する手段、および上記第1のフィードバック信号に従って、上記スイッチ手段のデューティーサイクルスイッチングを制御するための上記スイッチ制御信号としての駆動パルスを上記スイッチ手段に供給すると共に、上記第1のフィードバック信号が予め設定されている閾値よりも大きい値を有するときに、上記インダクタを介して流れる電流に比例する量に従って上記スイッチング手段のスイッチング周波数を変化させる駆動手段を含むDC/DCコンバータ。

【請求項17】 上記駆動手段は、上記インダクタから上記出力端子へのインダクタ電流を監視し、そのインダクタ電流に対応する第2のフィードバック信号を生成する手段と、

第1、第2および第3の制御信号を受信し、上記第1および第2の制御信号が有効である時に上記スイッチを閉じさせるための上記スイッチ制御信号を、上記第3の制御信号が有効である時に上記スイッチを開かせるための上記スイッチ制御信号を出力するゲート手段と、

上記ゲート手段に上記第1の制御信号を供給するパルス生成手段と、

上記第2のフィードバック信号が上記第1のフィードバック信号よりも大きい時に有効となる上記第3の制御信号を上記ゲート手段に供給する手段と、

上記第1のフィードバック信号が予め設定された値よりも大きい値の時に有効となる上記第2の制御信号を上記ゲート手段へ供給する手段とを有する請求項16に記載のDC/DCコンバータ。

【請求項18】 負荷に接続される出力端子と、エネルギーを蓄積するインダクタおよび上記出力端子に接続されてその出力端子に保持すべき電圧を供給する出力コンデンサを含む出力回路と、上記インダクタに接続されスイッチ制御信号に従って入力電圧を上記インダクタへ供給するスイッチ手段と、上記インダクタに接続されフリーホール電流を流すと共に上記出力端子から上記イン

ダクタを介して流れる逆電流を実質的に防ぐ整流手段とを備えた電圧レギュレータを制御する方法であって、

(a) 上記出力端子の電圧をモニタし、その出力端子へ保持すべき電圧を供給するための目標インダクタ電流に対応する第1のフィードバック信号を生成するステップと、

(b) 上記第1のフィードバック信号に従って、上記スイッチ手段のデューティーサイクルスイッチングを制御するための駆動パルスを発生するステップと、

(c) 上記第1のフィードバック信号が予め設定されている閾値よりも大きい値を有するときに、上記駆動パルスを有効とし、上記スイッチに供給するステップと、を有するDC/DCコンバータの制御方法。

【請求項19】 (d) 上記インダクタを介して流れるインダクタ電流を動的に調整するための上記第1のフィードバック信号をローパスフィルタリングするステップを更に有する請求項18に記載のDC/DCコンバータの制御方法。

【請求項20】 上記ステップ(b)は、発振器から上記スイッチング手段へ駆動パルスを供給するステップである請求項18に記載のDC/DCコンバータの制御方法。

【請求項21】 上記ステップ(c)は、上記第1のフィードバック信号が上記閾値よりも小さいときに、上記スイッチング手段への駆動パルスを阻止するステップである請求項18に記載のDC/DCコンバータの制御方法。

【請求項22】 上記ステップ(b)は、上記スイッチング手段へ一定時間デューティーサイクルパルスを供給するステップである請求項18に記載のDC/DCコンバータの制御方法。

【請求項23】 上記ステップ(c)は、上記第1のフィードバック信号が上記閾値よりも小さいときに、上記一定時間デューティーサイクルパルスが上記スイッチング手段へ供給されることを阻止するステップである請求項22に記載のDC/DCコンバータの制御方法。

【請求項24】 エネルギーを蓄積するインダクタと、そのインダクタに接続されて保持すべき電圧を出力端子に供給する出力コンデンサと、上記インダクタに接続されスイッチ制御信号に従って入力電圧をそのインダクタへ供給するスイッチとを含むDC/DCコンバータに上記スイッチ制御信号を供給する制御回路であって、出力電圧に基づいて目標電流を設定する設定手段と、

上記インダクタを介して流れる電流を検出する電流検出手段と、上記スイッチを駆動させるための第1の制御信号を生成する第1の回路と、

上記出力電圧が予め設定された電圧値よりも低いときに有効となる第2の制御信号を生成する第2の回路と、

上記電流検出手段により検出された電流が上記目標電流

よりも大きいときに有効となる第3の制御信号を生成する第3の回路と、

上記スイッチ制御信号として、上記第1および第2の制御信号が有効である時に上記スイッチをオン状態にするための信号を、上記第3の制御信号が有効である時に上記スイッチをオフ状態にするための信号を出力する論理手段と、

を有する制御回路。

【請求項25】 上記設定手段が、検出した出力電圧に比例する電圧値と予め決められている参照電圧値との差を増幅するアンプを含む構成であって、
そのアンプの出力をフィルタリングするローパスフィルタをさらに有する請求項24に記載の制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、DC/DCコンバータまたは電圧レギュレータに係わり、特に、電流に基づいて入力電圧を選択的に出力側に供給するスイッチを有するDC/DCコンバータまたはスイッチング電圧レギュレータに係わる。

【0002】

【従来の技術】 DC/DCコンバータは、入力DC電圧を、接続される負荷がそのアプリケーションに応じて要求する一定の出力DC電圧に変換する装置である。本発明に直接に係わるDC/DCコンバータは、入力DC電圧を出力DC電圧に変換するためのスイッチング電圧レギュレータを備えるタイプである。スイッチング電圧レギュレータは、負荷に直列または並列に接続されるスイッチ（たとえば、パワーMOSFET等）を備える。負荷に与えられる電圧は、入力DC電圧と出力DC電圧との差に基づいてスイッチに与えられるデューティーサイクルを変化させる制御回路を用いて、そのスイッチのオン時間およびオフ時間（または、それらの比率）を制御することにより一定にされる。また、スイッチング電圧レギュレータは、スイッチされた電流パルスを安定した負荷電流に変換するための誘導エネルギー蓄積要素を備えている。

【0003】 スイッチのデューティーサイクルは、パルス列の周波数を固定しながら各パルスのオン時間又はオフ時間を変化させる固定周波数手法、或いは、各パルスのオン時間又はオフ時間を固定しながらパルス列の周波数を変化させる可変周波数手法を用いて変化させることができる。いずれの手法においても、スイッチのオン時間を増加させることにより出力電圧は上昇し、スイッチのオン時間を減少させることにより出力電圧は下降する。なお、一定の出力電圧が維持されるようにスイッチのオン時間を変化させるために、一般に、フィードバック回路が使用される。本発明は、上述した2つの手法のいずれにも適用可能である。

【0004】 DC/DCコンバータがラップトップコン

ピュータ、ノート型コンピュータ、あるいは他の携帯電子機器のようなバッテリ駆動型のデバイスに使用される時、電圧レギュレータの効率は、バッテリ寿命を伸ばすための重要な要因である。一般的に、効率は負荷に流れる出力電流の関数であり、また、スイッチング電圧レギュレータの動作に伴う損失は全エネルギー損失に対して大きな割合を占めるので、電圧レギュレータの効率は、出力電流が小さいとき、或いは負荷が軽いときに悪化する。

10 【0005】 軽負荷状態において電圧レギュレータの効率を改善するための技術は、従来より数多く提案されている。例えば、特開平4-42771号（平成2年6月6日出願）には、軽負荷時のスイッチング損失を減らすために、軽負荷状態においてはデューティーサイクルの制御回路（PWM制御回路）を間欠的に駆動するDC/DCコンバータが開示されている。このDC/DCコンバータには予め決められた上限電圧閾値および下限電圧閾値が設定されており、出力電力が所定の閾値（下限側の電力閾値）よりも小さいときには、出力電圧がその設定された下限電圧閾値を上まわっている期間にスイッチ制御回路をオフ状態にする。ここで、出力コンデンサが下限電圧閾値よりも低い電圧レベルにまで放電されると、スイッチ制御回路は再び起動され、出力電圧が上限電圧閾値を超えるまで通常のデューティーサイクルスイッチングを行う。その後、スイッチ制御回路は、出力電圧が上述した下限電圧閾値より低くなるまで非動作状態とされる。このことにより、出力電圧は、上限電圧閾値および下限電圧閾値によって定義される範囲内に維持される。なお、上記動作は、負荷への出力電力が上述した所定の閾値よりも小さい期間に繰り返し行われる。ただし、出力電力が上述した所定の閾値をいたん超えると、通常のデューティーサイクルスイッチング動作が再開される。このような構成とすることにより、軽負荷時におけるスイッチング損失が少なくなるので、電圧レギュレータの効率は改善される。

30 【0006】 図7は、特開平6-303766号（米国特許番号：5481178号）に開示されている降圧型の電圧レギュレータの回路図である。この電圧レギュレータは、入力DC電圧端子Vinと接地との間に接続され、互いに同期してスイッチされる1組のMOSFET（Q1およびQ2）により特徴付けられる。

40 【0007】 スイッチングMOSFET（Q1およびQ2）は、それぞれ駆動素子12および14によりブッシュ・ブル構成で駆動され、出力電力は、インダクタLを介して出力DC端子に与えられる。スイッチング制御回路は、コンバレータ16および18、一定オフ時間ワンショット発生器20、インバータ22、および論理回路NAND1、AND1から構成される。さらに、低平均電流レベル時における効率を改善するために、定電流源50 11およびヒステリシスコンバレータ24が設けられて

いる。

【0008】定電流源I1およびヒステリシスコンバレータ24は、スイッチングMOSFET (Q1とQ2)により構成されるプッシュプルスイッチを、両スイッチングMOSFET (Q1とQ2)が同時にオフ状態となるモード、いわゆる「スリープ」モードにさせることができる。「スリープ」モードは、フィードバック電圧VFBが参照電圧Vrefよりも大きいとき、すなわち、出力DC電圧Voutが所定の保持すべき電圧値（調整により保持すべき出力電圧値）を超えるとき、その出力が出力コンデンサCoutによりその電圧値に実質的に維持されているときには開始される。平均出力電流が低い時には、定電流源I1により意図的に過電圧状態が作られる。スリープモードにおいては、スイッチングMOSFET (Q1とQ2)と同様に、他の回路要素を非動作状態としてもよい。なお、フィードバック電圧VFBが参照Vrefよりも小さくなつたことがコンバレータ24により検出されると、電圧レギュレータ10はスリープモードから復帰し、出力コンデンサCoutが過充電状態となることによって再び「スリープ」モードに入るまで、通常のデューティーサイクルスイッチングが行われる。

【0009】図8は、本発明の出願人が平成7年4月10日に出願した特願平7-83961号（米国特許出願番号：08/629573）に記載した従来技術としての電圧レギュレータと基本的に同等な回路の回路図である。

【0010】電圧レギュレータ30は、1組のスイッチングトランジスタを同時にオフ状態にすることによって「スリープ」状態を生成する代わりに、軽負荷状態が検出されたときにその負荷に従ってスイッチングトランジスタのスイッチングレートを減らす動作モードである「軽負荷モード」を導入することにより、動作効率を改善している。電圧レギュレータ30は、図示してあるように、同期スイッチングトランジスタ32および34、出力DC電圧を抵抗R1および抵抗R2を用いて分圧した値（電圧V1、即ち、抵抗R2による降下電圧）と参照電圧Vrefとを比較するコンバレータ36、スイッチング制御回路38、およびフィードバックコンバレータ40、42を備える。なお、スイッチングトランジスタ34をダイオードで置き換えることも可能である。

【0011】上記構成において、インダクタ電流ILがフィードバックコンバレータ40に設定されている閾値よりも大きい旨が検出されると、フィードバックコンバレータ40は、出力電流が高いことを示す信号を出力する。一方、インダクタ電流ILがフィードバックコンバレータ42に設定されている閾値よりも小さい旨が検出されると、フィードバックコンバレータ42は、出力電流が低いことを示す信号を出力する。なお、フィードバックコンバレータ42に設定されている閾値は、フィードバックコンバレータ40に設定されている閾値よりも

小さい。

【0012】コンバレータ36は、出力電圧Voutに対応するパラメータである抵抗R2による降下電圧を監視し、フィードバックコンバレータ40又は42の出力信号とは別の制御信号をスイッチ制御回路38へ供給する。スイッチ制御回路38は、コンバレータ36から制御信号を受信した時にスイッチングトランジスタ32をターンオンし、フィードバックコンバレータ40から制御信号を受信した時にそのスイッチングトランジスタをターンオフする。上記制御により、デューティーサイクルのタイミングは、インダクタ電流ILのチャージの比率に従って調整され、結果的に負荷に応じて調整されることになる。

【0013】

【発明が解決しようとする課題】しかしながら、図7に示した従来の電圧レギュレータは、インダクタLに供給する電流として出力DC電圧を保持すべき所定値に維持するために必要な電流よりも大きな電流が要求されるので、全体として望ましくない。また、上述のようにして出力コンデンサCoutをオーバードライブすると、リップル電圧が増加する。高効率の電圧レギュレータは、出力電力が小さいときにリップル電圧を最小化することが望まれる。

【0014】また、全負荷電流範囲に渡ってデューティ信号がより正確に制御されるような電圧レギュレータの登場が望まれている。たとえば、負荷状態を決定するのに同一の信号が使われること、および、従来技術として示した図7の電圧レギュレータのようなオフセットエラーが発生しなくなるようにスイッチングの周波数を減らすことが望まれている。

【0015】さらに、入力DC電圧と出力DC電圧がほぼ同じになる場合におけるリップル電圧を更に減らすことで、図8に示した電圧レギュレータの欠点を克服できる技術を提供することも望まれる。

【0016】本発明の課題は、上記の要望に答えるように設計された電圧レギュレータを提供することであり、負荷が要求する電流が小さいときであっても、高い効率を維持し、且つ出力のリップルを小さくしたDC/DCコンバータまたは電圧レギュレータを提供することである。

【0017】

【課題を解決するための手段】本発明のDC/DCコンバータは、負荷に接続される出力端子と、エネルギーを蓄積するインダクタおよび上記出力端子に接続されてその出力端子に保持すべき電圧を供給する出力コンデンサを含む出力回路と、スイッチ制御信号に従って入力電圧を上記インダクタへ供給する上記インダクタに接続されるスイッチ手段と、フリーホール電流を流すと共に上記出力端子から上記インダクタを介して流れる逆電流を実質的に防ぐ上記インダクタに接続される整流手段と、

上記出力端子において上記保持すべき電圧が保たれるようにするための上記スイッチ制御信号を上記スイッチ手段に供給するスイッチ制御手段とを有し、上記スイッチ制御手段が、上記出力端子へ供給される電圧を監視しその出力端子へ保持すべき電圧を供給するための目標インダクタ電流に対応する第1のフィードバック信号を生成する手段、および上記第1のフィードバック信号に従って上記スイッチ手段のデューティーサイクルスイッチングを制御するための上記スイッチ制御信号としての駆動パルスを上記スイッチ手段に供給すると共に上記第1のフィードバック信号が予め設定されている閾値よりも大きい値を有するときに上記インダクタを介して流れる電流に従って上記スイッチング手段のスイッチング周波数を変化させる駆動手段を含む構成である。

【0018】上記駆動手段は、たとえば、上記インダクタから上記出力端子へのインダクタ電流を監視してそのインダクタ電流に対応する第2のフィードバック信号を生成する手段と、第1、第2および第3の制御信号を受信し上記第1および第2の制御信号が有効である時に上記スイッチを閉じさせるための上記スイッチ制御信号を出力すると共に上記第3の制御信号が有効である時に上記スイッチを開かせるための上記スイッチ制御信号を出力するゲート手段と、上記ゲート手段に上記第1の制御信号を供給するパルス生成手段と、上記第2のフィードバック信号が上記第1のフィードバック信号よりも大きい時に有効となる上記第3の制御信号を上記ゲート手段に供給する手段と、上記第1のフィードバック信号が予め設定された軽負荷の指標である所定値よりも大きい値の時に有効となる上記第2の制御信号を上記ゲート手段へ供給する手段とを含む構成とする。

【0019】上記構成において、スイッチ手段は、第1および第2の制御信号が共に有効である時にターンオンされる。第1の制御信号は、たとえば、予め決められた時定数を持ち、第2の制御信号は、負荷の状態に応じた時定数を持つ。したがって、スイッチ手段のスイッチング周波数は、負荷電流に基づいて変化する。

【0020】第1のフィードバック信号は、デューティーサイクルの制御と軽負荷状態の決定のために使用されるので、その決定に電流および電圧のオフセットによる誤差は関与しない。また、軽負荷の閾値が、より正確に設定される。

【0021】パルス発生手段からの第1の制御信号は、出力電圧を保持すべき値に維持するために設定される目標ピーク電流が変化して通常負荷に対応する値を超えるようになったときにのみスイッチ手段を駆動する駆動手段に与えられる。すなわち、負荷がより軽くなると、スイッチ手段をターンオンさせるタイミングは、第1の制御信号ではなく第2の制御信号により決定される。

【0022】本発明のDC/DCコンバータは、少なくとも、入力電圧よりも低いDC電圧を出力する降圧型、

入力電圧よりも高いDC電圧を出力する昇圧型、出力電圧を入力電圧よりも高くするか低くするかを選択可能としたバック・ブースト型の電圧レギュレータに適用される。整流手段は、本発明が適用される構成によって異なる。例えば、降圧型の好適例としては、スイッチ手段を入力端子と整流手段との間に設ける構成において、インダクタの一端を整流手段およびスイッチ手段に接続し、インダクタの他端を出力端子に接続する。この場合、整流手段は、(a)インダクタと接地との間に設けられるダイオードからなる非同期整流器、又は、(b)スイッチ手段とインダクタとの接合部と接地との間に設けられたスイッチングトランジスタと、インダクタ電流の極性を示す反転極性信号を生成するために第2のフィードバック信号または上記スイッチングトランジスタに印加される電圧のどちらか一方とゼロクロス参照電圧とを比較するコンバレータと、上記反転極性信号が上記インダクタ電流が出力端子からインダクタへ向かう方向に流れていることを示すときに上記スイッチングトランジスタを非動作状態にし、上記反転極性信号が上記インダクタ電流がインダクタから出力端子へ向かう方向に流れていることを示すときに上記スイッチングトランジスタをスイッチ手段と逆位相に切り換えるゲートとから構成される同期整流器により実現できる。

【0023】インダクタ電流を動的に調整するための第1のフィードバック信号をフィルタリングするローパスフィルタを設けるようにしてもよい。このローパスフィルタは、入力電圧V_{in}と出力電圧V_{out}との差が大きいときに、出力コンデンサの等価直列抵抗などによって発生するリップル電圧が速く変化するような状態において、インダクタへのエネルギー蓄積が過少になることを防ぎ、それにより、さらに効率が改善される。また、入力電圧V_{in}と出力電圧V_{out}との差が小さいときには、出力コンデンサへのエネルギー蓄積が過大になることを防ぎ、リップル電圧が改善される。いずれの場合においても、このローパスフィルタは、好ましい周波数と効率を維持するための最小ピークインダクタ電流を動的に設定する作用を有し、高効率と低リップル電圧を保証する。

【0024】上記ゲート手段は、上記第1および第2の制御信号をそれぞれ第1および第2の入力端子で受信するANDゲート、及びそのANDゲートの出力をセット端子で受信し上記第3の制御信号をリセット端子で受信するフリップフロップ回路から構成されるようにして実現してもよい。

【0025】固定周波数スイッチング方法を導入する場合には、パルス発生手段は、例えば発振器により実現する。この場合、第1の制御信号として発振器から出力されるスイッチングパルスは、第2の制御信号が無効状態のときにはスキップされる。一方、可変周波数スイッチング方法を導入する場合には、パルス発生手段は、例え

ば一定オフ時間パルスを生成するワンショット発生器により実現する。この場合、ワンショット発生器は、第3の制御信号に応じて、上記フリップフロップのセット端子へ一定オフ時間パルスを供給する。

【0026】このように、本発明によれば、上述した従来技術における課題を解決し、電流モードのスイッチングレギュレータ回路において、動作モードを変更することなく、広い電流範囲に渡って高い効率を維持するDC/DCコンバータを提供できる。また、上記構成によれば、動作状態を切り換えることなく負荷に従ってスイッチング周波数を調整することにより、全負荷領域に渡って低リップル電圧が維持され、また、高い効率で良好な電圧調整が行われる。このため、複数の動作状態を定義する必要はない。

【0027】なお、本発明の適用範囲は、少なくとも、DC/DCコンバータを制御する方法、およびスイッチ手段を制御するためのスイッチ制御信号を生成する回路にも及ぶ。

【0028】

【発明の実施の形態】本発明の実施形態について、図1～図6を参照しながら説明する。なお、これらの図面およびその記述は、あくまでも説明のためのものであり、本発明を限定するものではない。

【0029】図1は、本発明の一実施形態のDC/DCコンバータのブロック図である。DC/DCコンバータ50は、図示してあるように、入力電圧V_{in}をインダクタLへ選択的に供給するためのスイッチ52を含む。スイッチ52は、好ましくは、N-MOSトランジスタまたはP-MOSトランジスタであり、本発明の技術により生成される駆動信号を駆動バッファ素子54を介して受信する。ダイオードD1は、当業者に良く知られているように、整流回路として機能し、スイッチ52がオフ状態のときには、インダクタ電流をフリーホールさせるとともに、インダクタ電流が接地に流れるのを妨げる。スイッチ52がオン状態のときは、インダクタLを流れる電流はセンサ抵抗R_sを通過して出力端子V_{out}へ渡され、負荷に供給される。出力コンデンサC_{out}は、一般的な方法でインダクタから供給された電力を蓄積し、インダクタからの駆動電流I_Lが無いときに負荷を駆動する（負荷の電流を供給する）。

【0030】なお、図1に示す構成は、当業者に良く知られているように、同期型DC/DCコンバータであるが、本発明は、図2および図3に示すような同期型DC/DCコンバータにおいても実施することができる。

【0031】本発明の電圧レギュレータ回路では、2つのフィードバック経路が設けられている。第1のフィードバック経路では、出力電圧を所定の値に保持するための目標最大インダクタ電流を示す第1のフィードバック信号V_{cnt1}が使用される。この第1のフィードバック信号V_{cnt1}は、分圧抵抗R1およびR2から構成される分

圧器により出力電圧を分圧した値である電圧V_{FB}と、参照電圧V_{ref}とを差動増幅器58を用いて比較することにより生成される。参照電圧V_{ref}の値は、例えば、入力電圧が5～25Vであり、出力電圧が1.3～3.6Vの降圧型の電圧レギュレータにおいては、1.2V程度である。

【0032】第2のフィードバック経路では、センサ抵抗R_s（＝第2のフィードバック電圧信号V_s／インダクタ電流I_L）の両端電圧である第2のフィードバック電圧信号V_sが検出され、コンバレータ56により、この第2のフィードバック電圧信号V_sと第1のフィードバック信号V_{cnt1}とが比較される。コンバレータ56は、第2のフィードバック電圧信号V_sが第1のフィードバック電圧信号V_{cnt1}よりも大きいときに、RSフリップフロップFF1をリセットすることによりスイッチ52を開く（ターンオフ）するためのリセット信号を生成する。好ましい実施形態としては、RSフリップフロップFF1は、セット入力信号よりもリセット入力信号に優先権を与える。

【0033】コンバレータ60は、第1のフィードバック信号V_{cnt1}と軽負荷参照電圧V_{LL}とを比較し、負荷状態によって決まる時定数を表す信号を出力する。動作中、第1のフィードバック信号V_{cnt1}が軽負荷参照電圧V_{LL}よりも下がると、コンバレータ60は「L」レベル信号を出力する。アンド回路AND1は、RSフリップフロップFF1のセット端子にセットパルスを与えるために、コンバレータ60の出力およびセットパルス発生器62により生成されるセット信号が共に「H」レベルとなるのを待つ。ここで、第1のフィードバック信号V_{cnt1}が軽負荷参照電圧V_{LL}よりも下がることによって、コンバレータ60の出力が「L」レベルになると、セットパルス発生器62の出力は、アンド回路AND1を通過することができない。この結果、RSフリップフロップFF1のQ出力は、通常状態と比べて低い頻度でセットされることになる。

【0034】図1の電圧レギュレータ50が通常動作をしている間に、第1のフィードバック信号V_{cnt1}が軽負荷参照電圧V_{LL}以上であるとコンバレータ60により判断されたときには、コンバレータ60の出力は、

「H」レベルに維持され、この結果、アンド回路AND1は、セットパルス発生器62により所定のタイミング毎に生成されるセットパルスをRSフリップフロップFF1のセット端子へ出力することになる。スイッチ52は、セットパルス発生器62から受信したセットパルスに従ってターンオンされる。このようにしてRSフリップフロップFF1がセットされてスイッチ52がオン状態になると、インダクタLは入力端子V_{in}に接続され、その結果、インダクタLを介して流れる電流は直線的に増加（ランプアップ）していく。そして、このインダクタ電流I_Lが「V_{cnt1}/R_s」にまで上昇すると、コン

パレータ56は、RSフリップフロップFF1をリセットするために「H」レベルを出力し、このことにより、スイッチ52がターンオフされる。この結果、ダイオードD1を通してフリーホイーリング電流が流れ、インダクタ電流ILが減少し始める。その後、セットパルス発生器62から「H」レベルのセットパルスを受信すると、RSフリップフロップFF1は再びセットされてスイッチ52はオン状態になる。上記処理は、通常処理中は繰り返される。

【0035】もし、電圧レギュレータ50により駆動されるデバイスが非動作になる時のように、負荷電流が減少する等して出力電圧が上昇した時には、フィードバック電圧VFBも上昇し、これにより、差動増幅器58の出力は減少し、さらに、第1のフィードバック信号Vcnt1のレベルも低下する。このようにして第1のフィードバック信号Vcnt1のレベルが低下すると、結果としてコンパレータ56において第2のフィードバック電圧信号Vsと比較される目標最大インダクタ電流が減少することになるので、これにより、コンパレータ56からリセット信号を受信するまでにインダクタLを入力端子VinCに接続させる時間が短くなる。

【0036】一方、電圧レギュレータ50により駆動されるデバイスが再起動された時のように、負荷電流が増加する等して出力電圧が低下する時には、フィードバック電圧VFBは減少し、これにより、差動増幅器58の出力は上昇し、さらに、第1のフィードバック信号Vcnt1のレベルも上昇する。このようにして第1のフィードバック信号Vcnt1のレベルが上昇すると、結果としてコンパレータ56において第2のフィードバック電圧信号Vsと比較される目標最大インダクタ電流が上昇することになるので、これにより、コンパレータ56からリセット信号を受信するまでにインダクタLを入力端子VinCに接続させる時間が長くなる。本実施形態の電圧レギュレータでは、上述の処理を繰り返すことにより、出力電圧は実質的に一定に維持される。

【0037】ところが、負荷電流がさらに減少すると、第1のフィードバック信号Vcnt1は軽負荷参照電圧VLLよりも小さくなり、コンパレータ60の出力は、「H」から「L」に変わり、アンド回路AND1は「L」レベル信号を出力する。このような軽負荷状態では、出力コンデンサCoutから負荷へ流れ出す電流が1つのインダクタ電流バルスにより流れる電流よりも十分に小さいため、第1のフィードバック信号Vcnt1は、セットパルス発生器62により生成される以降のセット信号の後においても軽負荷参照電圧VLLよりも小さいままである。従って、コンパレータ60の出力は「L」レベルに維持され、RSフリップフロップFF1はセットされないままでなる。そして、出力電圧がゆっくりと減少して第1のフィードバック信号Vcnt1が軽負荷参照電圧VLLよりも高くなると、コンパレータ60は「H」レベル信号を出

力し、このことにより、セットパルス発生器62が生成するセットパルスによりRSフリップフロップFF1はセットされる。

【0038】この処理では、スイッチ52のスイッチング周波数が低くなり、軽負荷状態においても高い効率が得られる。また、この処理サイクルは、負荷が軽い限りは繰り返される。さらに、この処理は、負荷が軽い時のスイッチの処理周波数を低くし、これにより、パワーMOSFETのスイッチングロスおよび駆動ロスを抑制する。

【0039】図2は、本発明の第1の実施例に係わる固定周波数型の降圧DC/DCコンバータの回路図である。図2に示す構成では、セットパルス発生器62は内部発振器62'をして実現され、スイッチ52はスイッチングトランジスタQ1である。また、図1の整流ダイオードD1は、その電力変換効率を改善するために同期整流回路に置き換えられる。この同期整流回路の一部として、図2に示すように、整流トランジスタQ2およびショットキーダイオードD2が互いに並列に設けられている。整流トランジスタQ2は、図1のフリーホイーリングダイオードD1の機能を正確にトレースするよう、スイッチングトランジスタQ1の逆相で制御される。すなわち、スイッチングトランジスタQ1がオフ状態(RSフリップフロップFF1がリセット状態)の時には、整流トランジスタQ2がオン状態となり、インダクタ電流ILは、その整流トランジスタQ2を介して流れれる。

【0040】インダクタ電流が出力端子に向かう方向に流れるときには、その電流に対応する電圧(Vs = Rs · IL)とゼロクロス電圧(ゼロ、または所定のオフセット電圧Vzc)とを比較するヒステリシスコンパレータ74の出力が「H」となり、RSフリップフロップFF1の反転Q端子から出力される駆動信号は、アンド回路AND2を通過して整流トランジスタQ2を駆動する駆動バッファ72へ入力される。一方、インダクタ電流ILが出力端子側からスイッチングトランジスタへ向かう方向に流れる時には、ヒステリシスコンパレータ74の出力は「L」になり、RSフリップフロップFF1の反転Q端子から出力されて整流トランジスタQ2を駆動するため駆動バッファ72へ入力される駆動信号は、アンド回路AND2により妨げられる。この動作は、出力コンデンサCoutから引き出される逆電流を妨げことになり、更に効率が改善される。

【0041】図3は、本発明の第2の実施例に係わる可変周波数型の降圧DC/DCコンバータの回路図である。第2の実施例の構成では、セットパルス発生器62は、ワンショット発生器62"として実現される。ワンショット発生器62"は、コンパレータ56の出力に応答して(例えば、インダクタ電流が目標電流を越えることによって発生するコンパレータ56の出力の立上りエ

ッジを検出することに応答して) 予め決められたバルス幅のバルスを出力する。このバルスは、一定オフ時間バルス信号として、アンド回路AND1を介してRSフリップフロップFF1のセット端子へ供給される。

【0042】すなわち、コンバレータ56の出力が「L」から「H」に変化すると、RSフリップフロップFF1がリセットされてスイッチングトランジスタQ1がターンオフされる。このとき、ワンショット発生器62"は一定オフ時間バルス信号を出力するので、RSフリップフロップFF1のセット端子には「L」が入力されている。続いて、所定の時間が経過してワンショット発生器62"の出力バルスが終了すると、RSフリップフロップFF1のセット端子に「H」が入力されることになり、スイッチングトランジスタQ1がターンオンされる。ただし、RSフリップフロップFF1がセット入力よりもリセット入力を優先する場合には、ワンショット発生器62"の出力バルスが終了した後であっても、コンバレータ56の出力が「H」であれば、RSフリップフロップFF1はリセット状態を維持し、スイッチングトランジスタQ1もオフ状態のままである。

【0043】上記構成では、発振器が使用されず、また、スイッチング周波数もコンバレータ56からの信号のオン状態の継続する長さで変化するため、可変周波数制御が実現されることになる。この可変周波数制御では、一般に、発振器による電力消費が不要となるので、電力効率がより改善される。なお、図3の実施例では、同期整流構成を採用しているが、図1に示すような非同期型の整流回路にも適用可能である。

【0044】図1～図3に示す本発明の電圧レギュレータでは、図7および図8を参照しながら記述した従来技術の構成と比較した場合、インダクタ電流ILを予め設定した所定の値にまで上昇させることを必要としない。上述した従来技術の構成においては、入力電圧Vinと出力電圧Voutとの間の差が小さい場合の出力コンデンサCoutに過剰な電流を供給しがちであり、従って、望ましくない大きなリップル電圧を引き起してしまう。また、図1の電圧レギュレータ50は、図3に示すように、差動増幅器58の出力ライン上にフィルタ回路82を付加することで上述のリップル等に係わる欠点を克服するようにしてもよい。

【0045】本実施例の電圧レギュレータにおいては、RSフリップフロップFF1がセットされてスイッチングトランジスタQ1がオン状態になると、インダクタLが入力端子Vinに接続されてインダクタLを通して流れ電流ILが増加していく。この電流ILは出力コンデンサCoutを充電し、その出力コンデンサCoutの両端の電圧が増加していく。ここで、もし、入力電圧Vinと出力電圧Voutとの間の差が小さければ、図4に示すように、差動増幅器58の出力レベル(第1のフィードバック信号Vcnt1)は、第2のフィードバック電圧信号Vs

sが増加するペースよりも速く減少し、それにより、出力コンデンサCoutがより高い値に充電されることが妨げられ、リップル電流の増加を防ぐことができる。

【0046】また、ローパスフィルタ82として適切な時定数を選べば、入力電圧Vinと出力電圧Voutとの差とは無関係に、出力リップル電圧を一定に維持することができる。従って、本実施例の構成によれば、結果的に、図4の斜線部に対応する量の出力コンデンサCoutへの過充電が不要となる。一方、入力電圧Vinと出力電圧Voutとの差が大きいときは、第1のフィードバック信号Vcnt1は、第2のフィードバック電圧信号Vsが第1のフィードバック信号Vcnt1に達するまで、ほぼ軽負荷参照電圧VLLと同じ電圧に維持される。この結果、好ましい周波数特性を維持するように出力コンデンサCoutに最小の充電電流が供給される。

【0047】図5は、本発明の第3の実施例に係わる固定周波数型の昇圧DC/DCコンバータの回路図である。この第3の実施例の構成は、図1のスイッチ52および整流ダイオードD1がスイッチングトランジスタQ1および整流ダイオードD3に置き換えられ、インダクタLとセンス抵抗Rsを設ける位置を変えたことを除けば、基本的に図1に示した降圧型のコンバータと同じである。

【0048】図5に示すコンバータにおいて、スイッチングトランジスタQ1がオン状態のときには、インダクタLを介して電流ILが流れ、インダクタLにエネルギーが蓄積される。また、センス抵抗Rsの両端電圧は、インダクタLを介して流れる電流に対応する値(第2のフィードバック電圧信号Vs)としてコンバレータ56へ供給される。一方、スイッチングトランジスタQ1がオフ状態のときには、整流ダイオードD3は、インダクタLに蓄積されたエネルギーを出力コンデンサCoutへ流すとともに、インダクタLを介して入力端子Vinへ逆流する電流を妨げる。

【0049】図6は、本発明の第4の実施例に係わる固定周波数型の降圧・昇圧DC/DCコンバータの回路図である。この第4の実施例の構成は、インダクタLが、入力端子VinとスイッチングトランジスタQ1との間に接続された第1の巻線および整流ダイオードD3と接地との間に接続された第2の巻線を有するトランス102に置き換かれていることを除いて、図5の昇圧コンバータと同じである。この降圧・昇圧DC/DCコンバータでは、既存の技術を用い、巻線中の接続ポイントによって入力電圧Vinが降圧されるか昇圧されるのかが決定される。なお、接続ポイントが決定されると、その動作は、図1または図5を参照しながら説明したものと同じになる。

【0050】なお、DC/DCコンバータの分野においてリップル電流を最小にする回路要素を選び、回路制御システムを安定させることは、当業者

に認識されている。そして、当業者であれば、適切な回路値の選択できるものと思われる。

【0051】また、本発明の実施形態は上記に詳述したが、当業者であれば、その実施形態に多くの付加的な変更が可能であると思われる。例えば、本発明は、降圧型コンバータ、昇圧型コンバータ、降圧・昇圧コンバータ、またはそれらの組合せに用いられる様々なスイッチング回路、整流回路などをカバーする。従って、それら全ての変更（変形構成）は、本発明の範囲に含まれるものである。

【0052】

【発明の効果】本発明によれば、広い電流範囲、特に負荷が軽くその消費電流が小さい状態であっても高い効率が維持され、且つリップルも小さいDC/DCコンバータが実現される。また、入力電圧と出力電圧との差が小さい状態においてもリップルが抑制されるDC/DCコンバータが実現される。

【図面の簡単な説明】

【図1】本発明の一実施形態のDC/DCコンバータのブロック図である。

【図2】第1の実施例に係る固定周波数型の降圧DC/DCコンバータの回路図である。

【図3】第2の実施例に係る可変周波数型の降圧DC/DCコンバータの回路図である。

【図4】ローパスフィルタの効果を示す図である。

【図5】第3の実施例による固定周波数DC/DC昇圧*

*コンバータを示す図である。

【図6】第4の実施例に係る固定周波数型の降圧・昇圧DC/DCコンバータの回路図である。

【図7】特開平6-303766号に開示されている従来の電圧レギュレータの一例の回路図である。

【図8】特願平7-83961号に開示されている従来の電圧レギュレータの一例の回路図である。

【符号の説明】

50 非同期型DC/DCコンバータ（電圧レギュレータ）

52 スイッチ

54 駆動バッファ素子

56 コンバレータ

58 差動増幅器

60 コンバレータ

62 セットパルス発生器

62' 内部発振器

62" ワンショット発生器

70 固定周波数型の降圧DC/DCコンバータ

20 74 ヒステリシスコンバレータ

80 可変周波数型の降圧DC/DCコンバータ

82 フィルタ回路

90 固定周波数型の昇圧DC/DCコンバータ

100 固定周波数型の降圧・昇圧DC/DCコンバータ

10

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

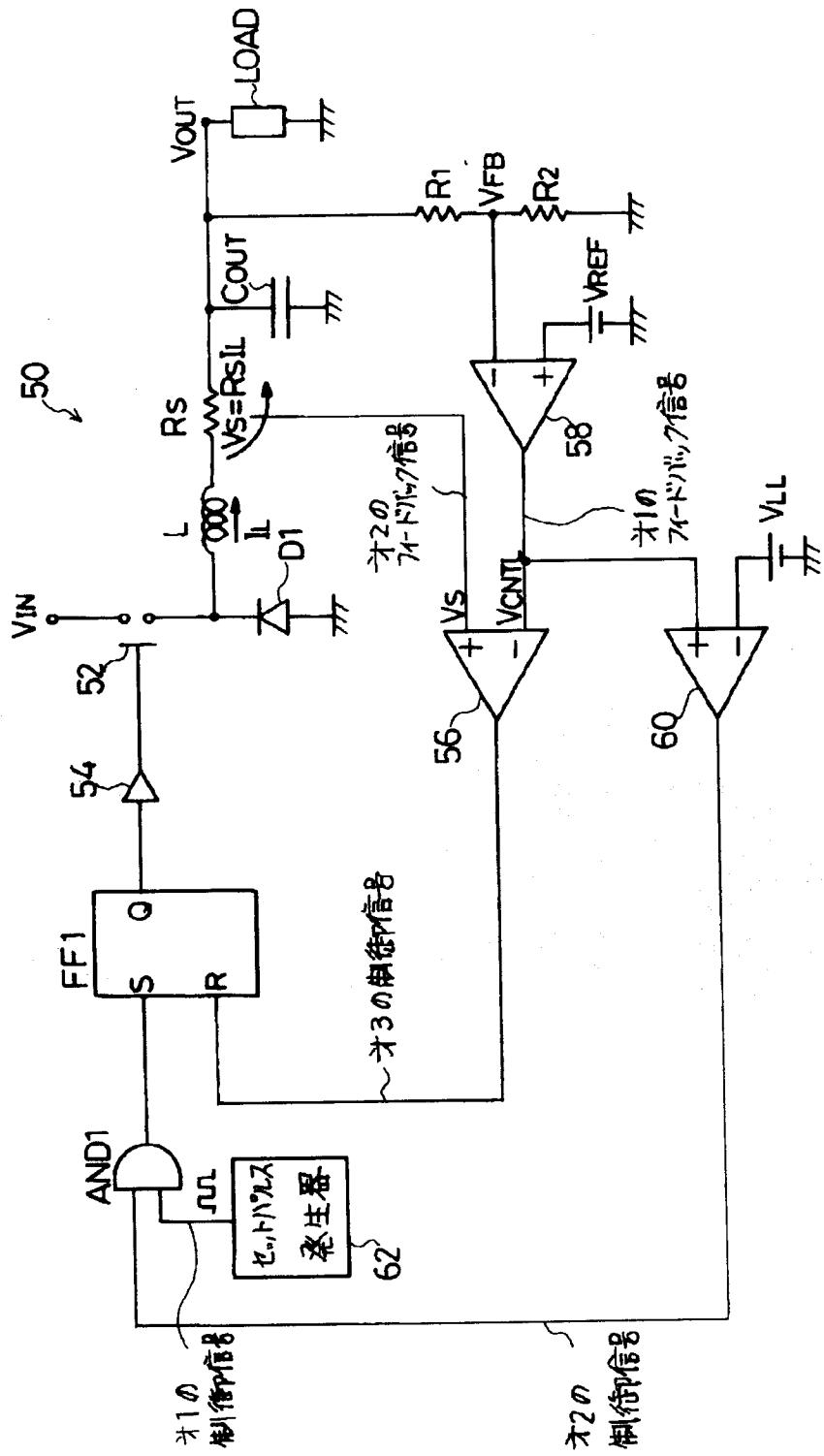
20

20

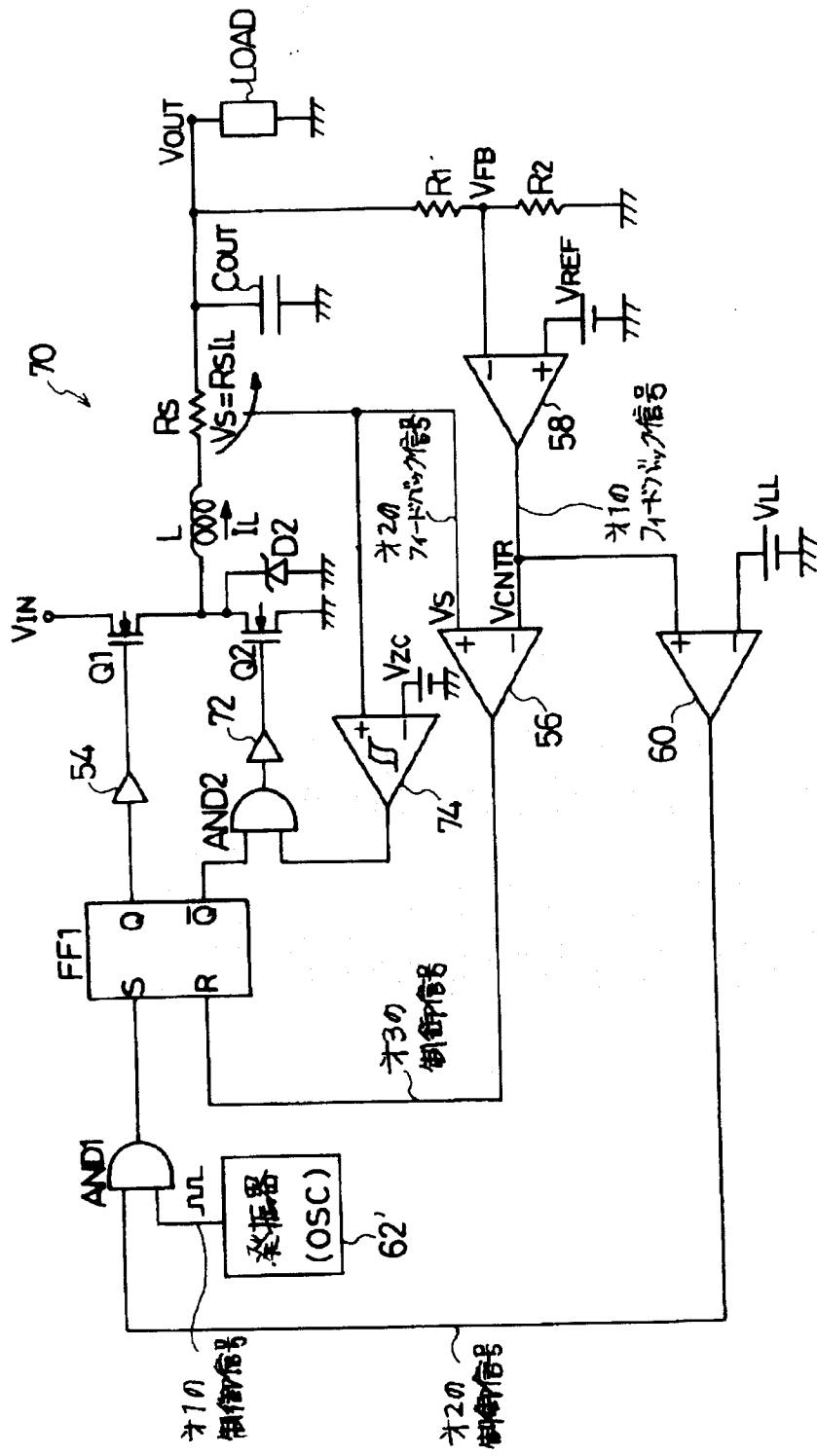
20

2

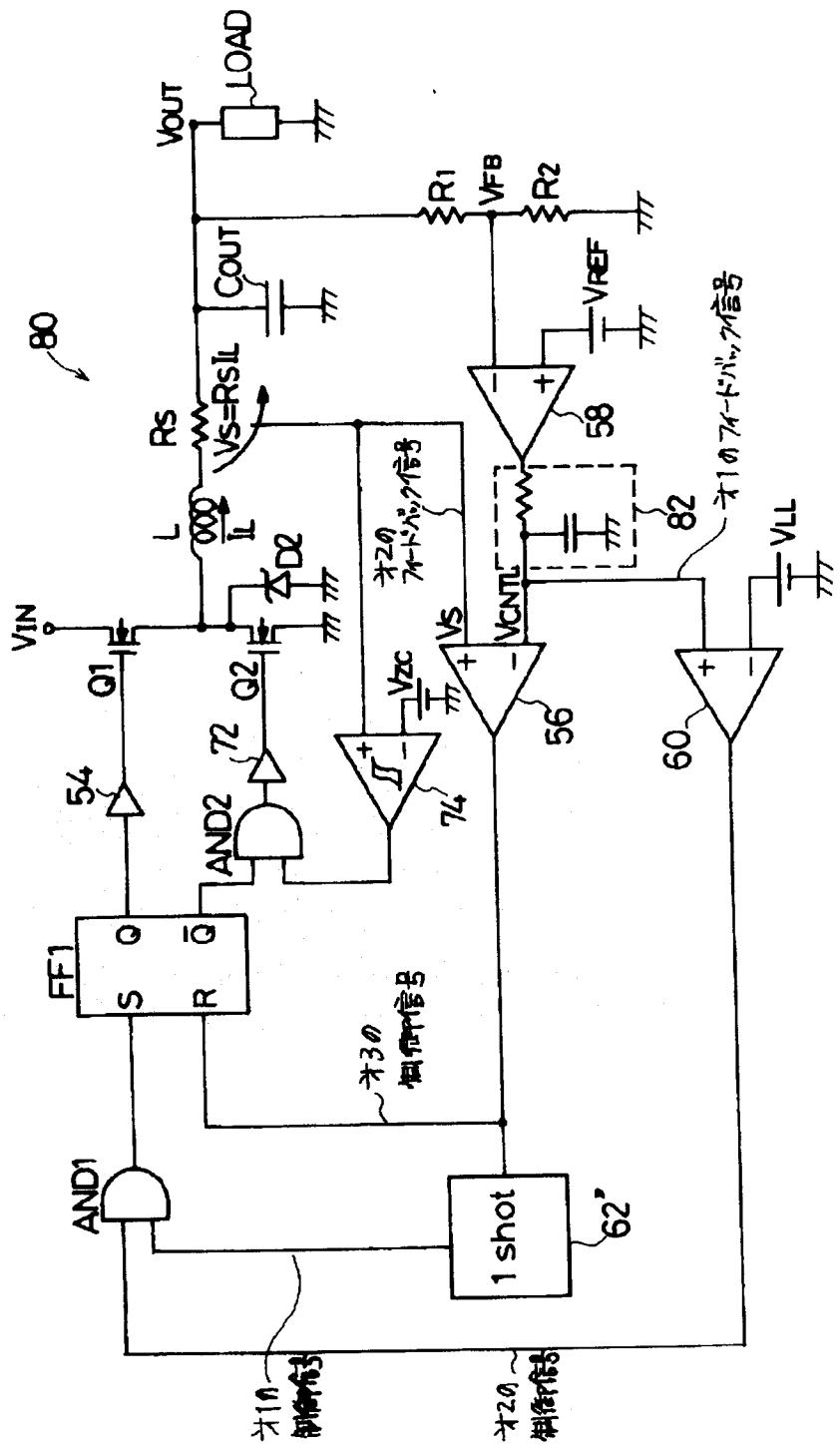
【図1】



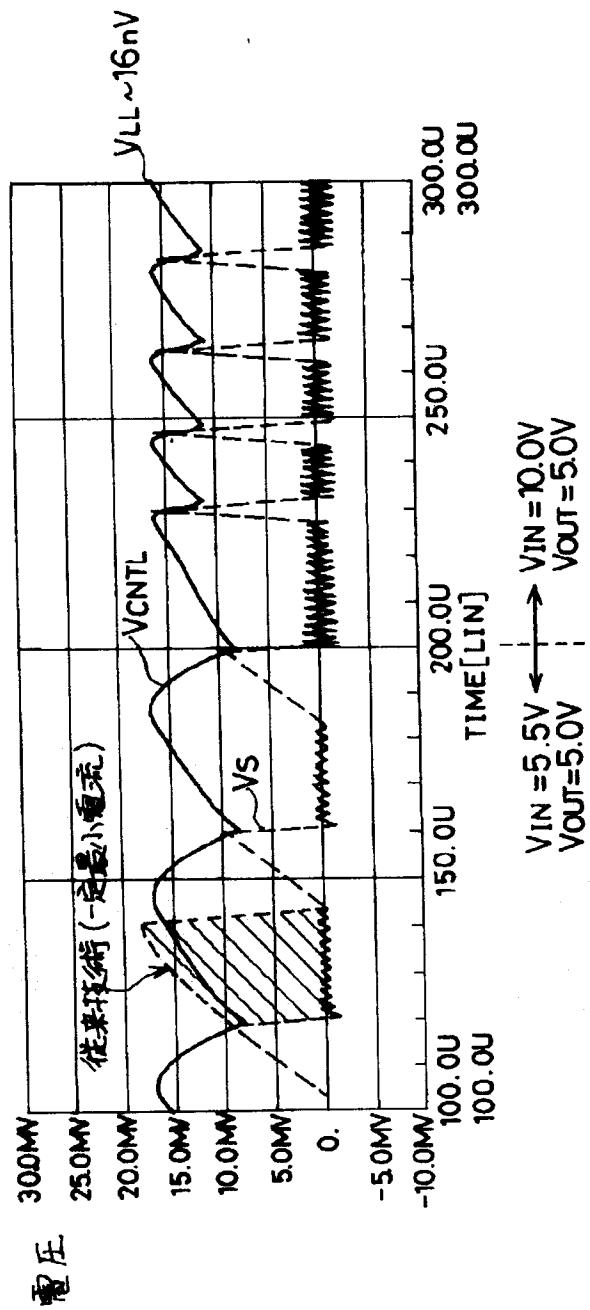
[図2]



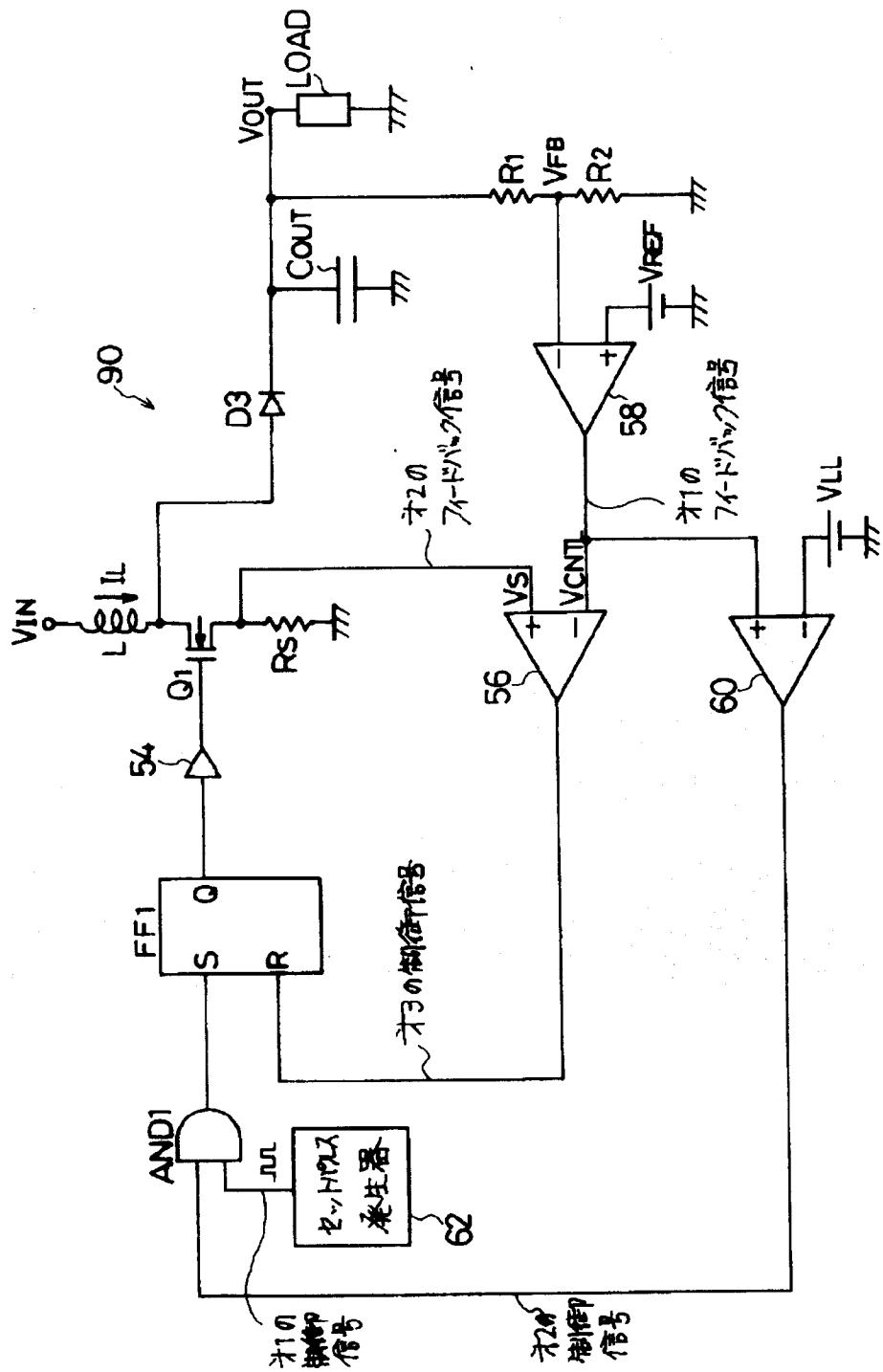
【图3】



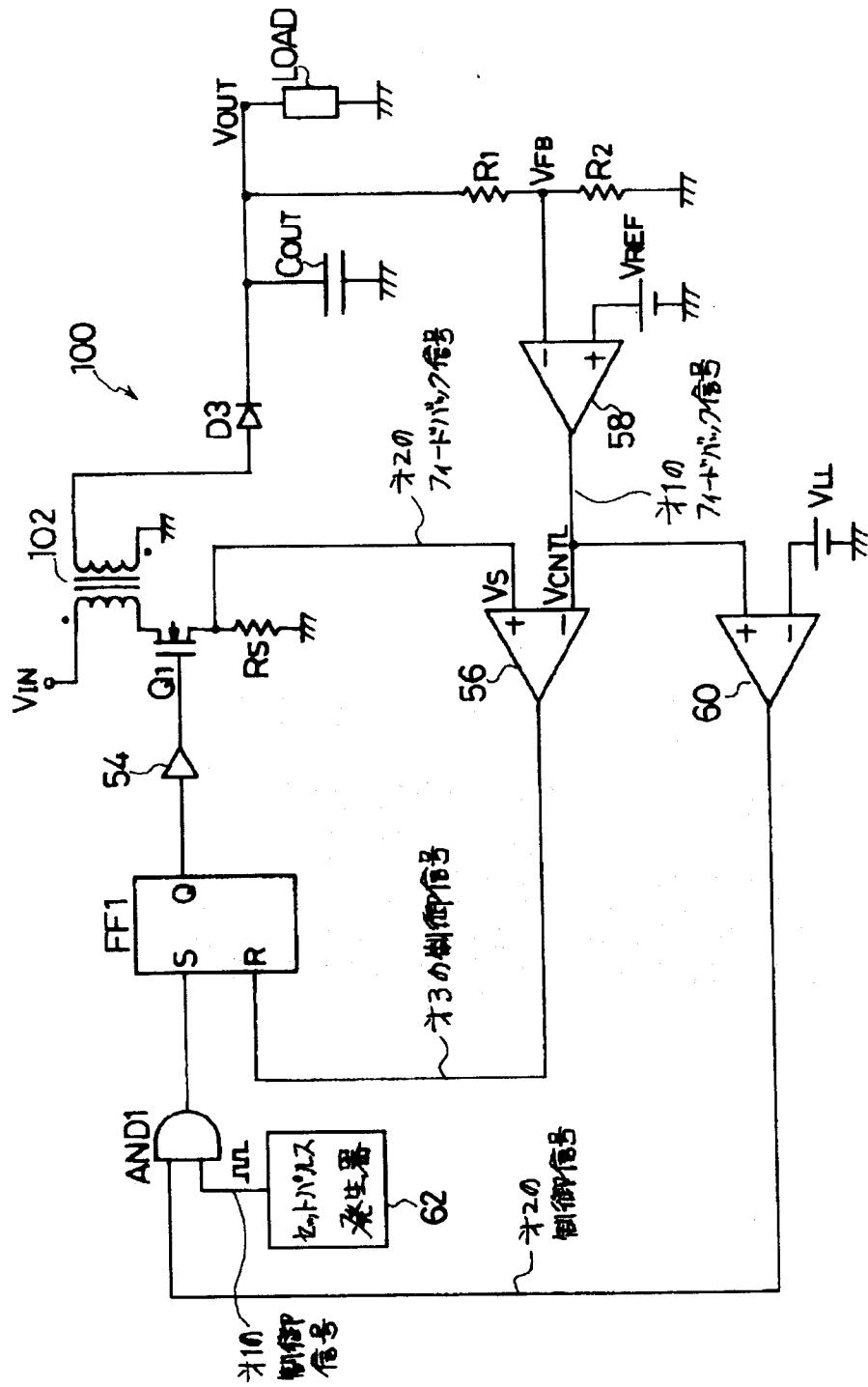
【図4】



【図5】



[図6]



【图8】

